



(Y 2,000)

特記号なし

特 許 願 (B)

昭和 50 年 2 月 18 日

特許庁長官 斎藤英雄 殿

1. 発明の名称

ガ ソウ ヒロウ ジ ホウ シキ
像 表 示 方 式

2. 発明者

セタガヤクキョ
東京都世田谷区砧一丁目10番11号
ニッパチホウソウキヨウカイソウゴホジユツケンキユウシロサイ
日本放送協会総合技術研究所内
カネ コ リユウ イチ
金 子 隆 一 (ほか2名)

3. 特許出願人

東京都世田谷区神南二丁目3番1号

(435) 日 本 放 送 協 会

会 長 小 野 昭 雄

4. 代 理 人

所 東京千代田区麹町3丁目2番4号
郵便番号 100
假山ビルディング7階 電話 (581) 2241番 (代表)

(5925) 氏 名 弁理士 杉 村 暁 (ほか1名)

49-016328

明 細 書

1. 発明の名称 画像表示方式

2. 特許請求の範囲

多数の表示用電極群と走査用電極群の交点に介挿された発光素子が表示用画素点となり、その画素点は、奇数番目の表示用電極群と奇数番目の走査用電極群の組み合わせにより発生するようにした第1の表示用画素点群と、偶数番目の表示用電極群と偶数番目の走査用電極群の組み合わせにより発生するようにした第2の表示用画素点群とから構成した画像表示パネルにより画像表示するに当り、前記表示用電極群には特定周期により交互に表示用信号を供給するとともに隣接する奇偶数番目の走査用電極を接続して同時に走査するようにし、正規の表示用信号が供給されない表示用画素点はその画素点の周囲任意の表示用画素点に供給する表示用信号を適当な割合で合成して得た補間用信号によつて発光せしめることによりインターレース表示時における表示画像の輝度の低下を補うようにしたことを特徴とする画像表示方式。

① 日本国特許庁

公開特許公報

①特開昭 50-114119

④公開日 昭50.(1975) 9. 6

②特願昭 49-18328

②出願日 昭49.(1974) 2. 15

審査請求 未請求 (全10頁)

庁内整理番号 7013 54

7170 59

7323 56

7520 54

⑤日本分類

976F3

977B4

99 G5

101 E0

⑤ Int. Cl²

H04N 5/66

H01J 17/48

G06K 15/18

3. 発明の詳細な説明

本発明は画像表示方式、特に気体放電表示パネルを用い、インターレース表示を行なつた画像表示装置の画面輝度を増加させる新規な画像表示方式に関するものである。

従来、気体放電表示パネルを用いた画像表示装置においては、通常のテレビジョン信号を入力としてインターレースした画面を表示する場合、入力信号の1フレームを構成する2フィールドのうちの第1のフィールドにおいては画面上の横方向の各行のうち1行おきに発光させ、続く第2のフィールドにおいては前フィールドに発光しなかつた他の1行おきの各行を発行させるような駆動法を用いている。この際、1行内の全画素を同時に発光させる線同時駆動方式が一般的に採用されているが、この点を除けば上記インターレース駆動法は現行テレビジョン標準方式をうるための撮像管の走査に対応しているためそれを対象とする場合は入力信号によく適合した方法であると見える。

しかしながら、上記駆動法によると、各フー

・ルドにおいて、常に全体の半分の画素は発光することができない。すなわち、輝度の点で本来表示パネルがもっている能力の半分しか利用されていないことになる。

本発明の目的は、従来のインターレース駆動を行なつた場合に比して2倍以上の画面輝度が得られるように、全フィールドにおいて全画素が発光し得るようにした画像表示方式を提供せんとするにある。

以下、本文においては本発明を気体放電表示パネルを用いた画像表示装置に適用した場合について説明するが、ELや発光ダイオードなどを用いた表示素子のように行および列の交点の画素がアドレスされる型式のすべての表示パネルに適用できるものである。

以下図面を参照して本発明を説明する。

気体放電表示パネルの代表的な画素配列としては第1図(a)のような格子状のもの、第1図(b)のような千鳥型のものがある。同図でD1(1=1,2,...)は表示パネルの縦方向の電極を表わし、表示電極

を2:1とした場合であり、一般的には2:1以上のインターレース比の場合にも適用することができる。第1図(c)においては、画素配列は第1図(a)の場合と同じであるが、表示電極の構成が異なり、本発明を適用する対象となる。以下、インターレース比は2:1として説明する。

第3図は従来のインターレース表示法を示す。同図(a)および(b)は第1図(a)の画素配列をもつ表示パネルの各フィールド(第3図(a)は第1フィールド、第3図(b)は第2フィールド)における発光、第3図(c)および(d)は第1図(b)の画素配列における各フィールド(第3図(c)は第1フィールド、第3図(d)は第2フィールド)の発光の様子を表し、○印は各フィールドにおいて発光する画素、×印はそのフィールドでは発光しない画素を示す。このように従来のインターレース表示法では、1フィールド内においては全画素のうち半分は発光していない。

第4図は第1図(b)の画素配列をもつ表示パネルを用いた場合の本発明による表示法を示し、第4

と称する。S1は横方向電極を示し、走査電極と称する。直流放電表示パネルにおいてD1が陽極となる構成の場合S1は陰極であり、D1が陰極ならばS1は陽極である。S1とD1の交点に付した○印は画素を示す。

単色表示パネルの場合、第1図の画素配列はそのままだ放電ユニットの配列となる。カラー表示パネルの放電ユニットの配列例を第2図に示す。第1図(b)の画素配列としては例えば第2図(a)の放電ユニット配列があり、第1図(a)に相当するものには第2図(b), (c), (d)などがある。点線の円は画素を示し、またR, G, Bはそれぞれ3原色のうちの一つに対応する表示電極であることを示す。

さらに第2図(d)の表示電極は・印の点以外は電極として動作しないものとする。

本発明を適用する第1図(b)のように隣接する2本の走査電極上の全画素に対して独立に表示電極が引出されている構成のものとし、第1図(a)のように隣接する2本の走査電極上の複数の画素に対して表示電極が共通に用いられているものを除く。ここに、隣接する2本の走査電極をとつたのはインターレース比

(4)

・図(a)は入力信号が第1フィールドのとき、第4図(b)は第2フィールドのときの発光の様子である。各フィールドにおいて、表示装置入力には大きな○印に相当する信号しかなく、小さな○印に相当する入力信号はない。したがって、本発明においては○印に相当する信号を後述するように補間して表示し、その信号を表示装置内に発生させる。第4図に示すように、本発明においてはどの入力フィールドでも全画素を発光させる。

次に表示パネルの駆動法について述べるが、走査電極の方向に沿った線同時駆動法を用いるものとする。すなわち、選択した走査電極上の画素に属する表示電極をすべて並列に駆動するものとする。但し、「選択」とは走査電極を多相駆動することによつて1または2走査電極のみが実効的に選択される場合も含む。

第3図に示した従来のインターレース表示を行なう駆動法を第5図に、また第4図に示した本発明による表示法を行なう駆動法を第6図に示した。第5図(a)は第3図(a)および(b)の表示を行なう駆動

法で、第1フィールド走査スイッチSW₁または第2フィールド走査スイッチSW₂により走査電極S₁, S₂……が1本だけ選択され、このスイッチと表示電極駆動回路Odを通して放電ユニットに電圧が印加される。この場合、変調信号入力I_Bに従って各放電ユニットの発光が制御される。走査スイッチSW₁またはSW₂は走査回路の行アドレス機能を等価的に示したもので、前述のように多相駆動によるアドレス機能も含める。第1フィールドにおいては走査スイッチSW₁により走査電極S₁, S₃, S₅……が順次選択され、この間走査スイッチSW₂はOFFの状態にしておく。第2フィールドにおいては走査スイッチSW₁はOFFとし、走査スイッチSW₂で走査電極S₂, S₄, S₆……を順次選択する。走査スイッチSW₁, SW₂および表示電極駆動回路Odはパネル電源Vによつて附勢する。

第3図(c)および(d)の表示は第5図(a)と全く同様な駆動法により得られるが、この場合はさらに第5図(b)のように変形することができる。第5図(b)では隣接する表示電極D₁, D₂, D₃……が必ずづ

(7)

を示すものには同一符号を付して示す。以下の説明は簡単のために第6図(a)のみを対象に行なう。

次に、本発明表示方式を適用する表示装置の系統図の一例につき簡単に説明したのち、第6図(a)の駆動法を実施するために必要な信号を発生させる方法を述べる。

本発明表示方式を適用する表示装置の一例を第7図に示した。同図において、入力映像信号(1)はまず入力変換回路2に入り、処理回路3を通して第1ラインメモリー4に順次蓄えられる。処理回路3は、すでに説明を行なつた第4図の小さな○印に相当する信号を補間するために発生する回路で本発明による表示法に特有な回路である。入力映像信号(1)の1水平走査周期Hの間に第1ラインメモリー4に蓄えられた全情報はHごとに並列的に第2ラインメモリー5に転送され、次の転送までの間保持される。第2ラインメモリー5の出力は駆動変換回路6、表示電極駆動回路7を経て表示パネル8における全表示電極D₁, D₂, D₃……

(9)

共通に駆動されているが、走査スイッチSW₁またはSW₂で選択された1行の表示電極のみが発光する。以上のように、第5図の駆動法はいずれの例においても第1フィールドには奇数番走査電極S_{2i-1}/上の画素のみを、第2フィールドには偶数番走査電極S_{2i}上の画素のみを発光させる。

本発明による表示法は第6図(a)の駆動法に適用する。すなわち、第1フィールドにおいても、第2フィールドにおいても、走査電極S₁とS₂, S₃とS₄, ……など隣接する2本の走査電極を同時に選択し、しかも選択された2本の走査電極上の全放電ユニットを独立に駆動して2行の画素を同時に発光させる。第6図(b)は第6図(a)を若干変形した駆動法で、走行スイッチSW₁およびSW₂を同時に動作させて特定の2本の走査電極S₁, S₂……を選択する例である。この方法によれば第1フィールドにはS₁とS₂, S₃とS₄, ……などを組合わせ、第2フィールドにはS₂とS₃, S₄とS₅, ……を組合わせる。などのように組合わせを変えることができる。なお第6図で第5図と同一部分

(8)

を駆動する。第1ラインメモリー4の出力以降の複線矢印は、表示電極数と同数の並列回路であることを示す。

一方、入力信号の一部は同期分離回路9に与えられて分離同期信号を得、これをもとにタイミング発生回路10で他の各部の動作を規制する各種のタイミングパルス、例えば走査タイミングパルス(P₁)およびデータ転送パルス(P₂)等を発生する。そのうちの走査タイミングパルス(P₁)は、SWで表わされる走査回路に供給し、この走査回路によつてラインメモリー4から5へのデータ転送と同期して表示パネル8の走査電極S₁, S₂, S₃……の選択を行なう。

入力変換回路2および駆動変換回路6は情報の形態を変換する回路で、ラインメモリー4および5にコンデンサメモリー、BBD(Bucket Brigaded Device)などアナログ電圧を記憶する形式のものを使用する場合には入力変換回路2を必要としないが、デジタルメモリーを使用しPOM信号を記憶する場合は入力変換回路2としてA-D

(10)

変換回路が必要となる。次に駆動変換回路6としては、ラインメモリー4および5にアナログ電圧メモリーを用い、表示パネル8の輝度変調法として放電電流を制御する場合には電圧-電流変換回路が必要となるが、トランジスタなどの使用により駆動変換回路6と表示電極駆動回路7を兼ねることができる。アナログ電圧メモリーとPWM輝度変調を用いる場合には電圧制御モノステープルマルチバイブレーターなどの電圧-パルス幅変換回路を、またアナログ電圧メモリーとPNM輝度変調を用いる場合にはPWM変調器をそれぞれ駆動変換回路6として用いばよい。さらに、デジタルメモリーを用い、放電電流制御による輝度変調を行なう場合の駆動変換回路6にはD-A変換器を用い、デジタルメモリーとPWMまたはPNM輝度変調の組合せに対してはプリセットカウンタを駆動変換回路6として使用しPOMをPWMまたはPNMに変換できる。最後の例においては第1ラインメモリー4のみ使用し、第2ラインメモリー5は省略できる。以上の例では処理回路

(11)

上記機能を有する回路を系統図で示せば第8図(a)のようになる。同図で異種フィールド信号とは第4図の小さな○印に相当する信号で入力信号が第1フィールドのときは表示装置内で入力第1フィールド信号と時間的に並列的に発生した第2フィールド信号に相当する信号であり、入力が第2フィールドのときは装置内で入力第2フィールド信号と並列的に発生した第1フィールド信号に相当する信号のことであり、この信号は異種フィールド信号発生回路11により発生する。処理用メモリー12は異種フィールド信号を発生するために遅延回路として用いるメモリーで、1フィールドメモリーを用いる方法と1ラインメモリーを用いる方法がある。

第8図(a)の処理回路出力をデータスイッチSWDを介して第1ラインメモリー4に記憶すると、第7図の系統図に示したようにそれ以降は表示電極D1, D2, D3……まで並列にデータが伝達されるので、処理回路出力信号は表示電極の配置に応じた図案配列になつていなければならない。これを

(13)

3とラインメモリー4および5内の情報の形が同一である場合について述べたが、これが異なる場合は両者の間にも変換回路が必要である。なお、ラインメモリー4および5は通常の駆動法では各々表示パネル8の1行分の図案数だけの容量があればよいが、本発明を適用する駆動法では2行同時駆動を行なうので、2行分ずつの記憶容量が必要となる。

次に第7図に示した処理回路3の原理、構成法および動作につき記載する。この回路の機能は、入力信号が第1フィールドのときには第2フィールドに相当する信号を発生し、また入力信号が第2フィールドのときには第1フィールドに相当する信号を発生した上、これら装置内で発生した信号の図案と入力信号の図案とを表示電極D1, D2, D3……の順番に従つて配置した信号に変形して第1ラインメモリー4に供給することである。但し、入力変換回路2の前後で情報の内容に変化はないので、ここでは表示装置入力信号と処理回路入力を同一視する。

(12)

さらに詳しく説明すると、この図案配列は第4図(a)および(b)の上2行を参照すれば第9図に表に示すようにすればよいことがわかる。すなわち、入力信号が第1フィールドのときにはラインメモリーの1, 3, 5, ……番地に入力信号を、2, 4, 6……番地に異種フィールド信号を蓄え、入力信号が第2フィールドのときには反対に奇数番地に異種フィールド信号を、偶数番地に入力信号をそれぞれ蓄えてメモリーのアドレスと同番号の表示電極を駆動する。但し表示パネル上の図案番号は表示電極番号と同一とする。

第9図に示す表のメモリーアドレスは第8図の処理回路出力信号の水平走査周期H内における図案番号とみてもよく、結局第8図のデータスイッチSWDを第9図の表に従つて図案ごとに切かえればよい。第10図は信号のH内のタイミング(図案番号で表わしたタイミング)と画面上の図案位置との対応関係を示し、第10図(a)は第1フィールド入力時を、第10図(b)は第2フィールド入力時における関係を示す。

(14)

第8図(a)と多少異なり、アナログ信号に適する第8図(b)に示す方法も可能である。第8図(b)では第1ラインメモリ4を4₁と4₂の2個に分割し、それぞれ入力信号と異種フィールド信号を別々に蓄込む。信号の種類とメモリの対応はデータスイッチSWDによりフィールドごとに入れかえる。画素の配列はメモリ4からメモリ5への接続によつて行なう。さらにラインメモリ5以降表示電極駆動回路7まで2系統に分割しても差支えない。アナログ電圧メモリは蓄込みのときに信号がサンプリングされるものが多いので第8図(b)の方法が適している。

次に異種フィールド信号の具体的な発生法を述べるが、これには第8図の処理用メモリ12として1フィールドメモリを用いる方法と1ラインメモリを用いる方法があり、これらの方法について以下説明する。

第11図は入力信号の画素を2次元的に配置したもので、縦方向は入力信号のライン番号NL、横方向は信号の画素番号MPに従つて配置しており、

(15)

以上によりフィールドメモリを用いた処理回路は例えば第12図のように構成することができる。但し入力変換回路2としてA/D変換器を用い、処理回路以降駆動変換回路入力までPOMで処理する場合を例示した。第13図(a)および(b)は第12図の場合における映像信号がそれぞれ第1および第2フィールドのときのタイムチャートである。入力信号を Δ_0 なる時間間隔で画素に分割するとして、基準水平走査周期位相に結合した2種のクロックパルス Δ_0 および $\Delta_0/2$ をタイミング発生回路10で発生する。(但しパルスの周期と名称を混用する。)A/D変換器2で使用するサンプリングパルスとしては第11図に示した画素のタイミング関係により、第13図(a)、(b)のようにスイッチSW₀で Δ_0 とそれを反転した $\overline{\Delta_0}$ をフィールドごとに切替えて用いる。したがつてA/D変換器2の出力POMの画素番号は第13図(a)、(b)のようになる。POMはシフトレジスタなどで構成されるフィールドメモリに蓄込まれる。前述の要求に従つて26.2Hおよび26.3H遅延出力を得て

(17)

13

したがつて縦横ともそれぞれの単位で表わした時間を示している。NL=1, 2, 3……上の画素は第1フィールド、NL=264, 265……上の画素は第2フィールドの信号である。第11図中に示したNLと走査電極S₁との対応に従い、走査電極S₁上の画素はNL=1の信号により、またS₂上の画素はNL=264の信号に駆動することが要求される。ところが第6図(a)または第7図に示したようにS₁とS₂, S₃とS₄……などのように走査電極は2本ずつ組になつて接続されているので、例えばS₁とS₂上の画素は同時刻に駆動されなければならない。そのために、入力信号が第1フィールドのとき前フィールドのNL=264の信号を略々1フィールド遅延させてNL=1と同時刻にそろえる。正確な所要遅延時間は(1+525-264)H=262Hである。同様に入力信号が第2フィールドのときには、例えばNL=1の信号を略々1フィールド遅延させてNL=264の信号と同時刻にそろえる。遅延時間は(264-1)H=263Hである。

(16)

スイッチSW₁により両出力をフィールドごとに切替えてこれを異種フィールド信号とする。この信号は第13図(a)、(b)のようになるので、(4)と(6)を第12図のスイッチSWDでサンプリングパルスの0, 1に従つて切替えて処理回路出力(第3図(a)、(b)の(4))を得る。ラインメモリ4の蓄込クロックパルスまたはシフトレジスタを用いる場合のシフトパルスには $\Delta_0/2$ を用いる。なお第13図(a)および(b)の(4)と(2)、すなわちフィールドメモリ入力POMとシフトパルス Δ_0 の時間関係は第1フィールドと第2フィールドでは $\Delta_0/2$ だけ異なっている。そのために、第2フィールド信号の遅延時間はHの整数倍より $\Delta_0/2$ 減少するとしている。

次に1ラインメモリを用いた異種フィールド信号発生法について説明する。この方法においては前フィールド信号は用いず、続く2ラインの入力信号より内挿処理によつて画面上の位置としてはそれら2ラインの中間に来るべき信号を近似的に発生する。内挿処理は画素の荷重加算により実現する。第14図は第11図と同様の表現により入力

(18)

13

信号を2次的に表わした図である。第14図(a)は第1フィールドの信号で、あるNL (図ではNL=2)の画素を $1, 3, 5, \dots$ で表わし、その1H前の画素を $1', 3', 5', \dots$ であらわす。ラインメモリーを用いた異種フィールド信号発生法においては、第2フィールドの信号としてこれらの中間に来るべき信号、例えば第14図(a)に点線で示した位置に来るべき2という画素を、第1フィールドの4画素 $1, 3, 1', 3'$ の平均値で近似する。この原理に基づく処理回路は例えば第15図の構成で実現でき、この回路は第16図(a)および(b)に示すタイムチャートに従って動作する。第14図(a)の上記4画素のうちで、時間的に最も遅れている画素は3であるから、平均値をとる処理を行なうためには画素 $1, 3', 1', 3'$ を画素3と同一タイミングまで遅延させる必要がある。すなわち、画素1を1画分の時間 Δt だけ1画素遅延回路14により遅延させ、 $3'$ を1H遅延回路15により1H遅延させ、また $1'$ を1H遅延回路15および1画素遅延回路16により $H + \Delta t$ だけそれぞれ遅延線14

に送られ、これら遅延させれば第16図(a)-(g)のように画素 $3, 1, 3', 1'$ が同時にそろい、演算処理を行なうことができる。第15図の各部に記した番号<1>は、入力信号が画素3のときの各部の信号の画素番号を示す。次にこれら遅延時間の異なる4種の信号を加算回路17、 $1/4$ 除算回路18に加えて4画素の平均値を得、これを異種フィールド信号とする。入力信号が画素3のとき、第14図(a)の画素2を近似した信号が画素3のタイミングで得られる。さらに、第12図の場合と同様にスイッチSWDで異種フィールド信号を切替えて第16図(b)-(g)のように表示電極配置に対応した処理回路出力信号を得る。第2フィールドにおいても第16図(b)のように同様の結果を得る。以上は内挿処理として荷重加算の最も簡単な場合である単純平均をとる場合を例示した。ラインメモリーによる異種フィールド信号発生法は表示画像のエッジ部分がやや劣化するが、実用上殆んど認められない場合が多く、フィールドメモリーを使う方法に比べてメモリー容量が少なくす

む点の特長である。第15図の回路はデジタル信号に適した構成であるが、スイッチSWDを省略し、第5図(b)の構成をとればアナログ信号にも適用できることは明らかである。なお、第15図の方法は第12図の方法に比べて出力信号が1画素分だけ遅れているので、ラインメモリーへ書込むときにアドレスを調節する必要がある。

以上述べた本発明を要約すれば次のとおりである。すなわち、第1図(b)および(c)の如く、隣接する2行に含まれる画素を独立に制御できる構成の気体放電表示パネルを用い、第12図または第15図に例示したように1フィールドまたは1ラインの遅延回路を用いて異種フィールド信号を発生し、第7図に例示されるような構成をもつ表示装置のラインメモリー4に、入力信号と共に上記異種フィールド信号を記憶し、それ以降の各回路を通して第6図に示した方法により表示パネルを駆動することによつて各フィールドにおいて全画素(黒レベルのものを除く)を発光させることを可能にし、第4図のような表示を得て従来のインターレ

ース表示法の2倍(2:1)インターレースの場合)の輝度を得るようにしたものである。

上述した本発明によれば気体放電表示パネルを用いた画像表示装置の画面輝度を、従来のインターレース駆動法を用いた場合(インターレース比2:1のとき)2倍にできる。

本発明は上述した例のみに限定されるものでなく、幾多の変更を加え得るものであり、また、行および列電極の交点の画素を選択する構成、すなわち行列アドレスによる画像表示素子、たとえばELや発光ダイオードで構成した表示素子を用いた画像表示装置にも適用することができる。

4 図面の簡単な説明

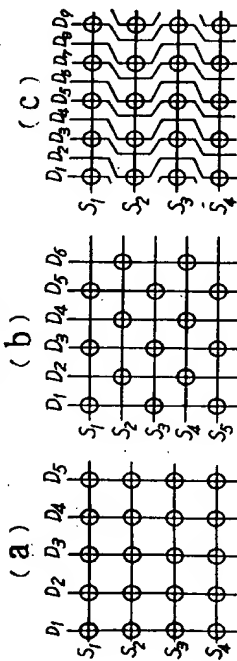
第1図は気体放電表示パネルの画素配列を示す説明図、第2図はカラー表示パネルの放電ユニットの配列例を示す説明図、第3図は従来のインターレース表示法による表示パネルの各フィールドにおける発光の様子を示す説明図、第4図は本発明画像表示方式による表示パネルの各フィールドの発光の様子を示す説明図、第5図は従来のイ

ンターレース表示を行なう駆動法の一例を示す系統図、第6図は本発明による表示方式に適用する駆動法を示す系統図、第7図は本発明方式を適用する表示装置の一例を示す系統図、第8図(a)および(b)はそれぞれ第7図の表示装置に適用する処理回路を示す系統図、第9図は各部の圖案番号および信号の種類に対応を示す表、第10図は各信号の時間的關係および画面上の圖案位置との対応關係を示す説明図、第11図は入力信号のライン番号と走査電極との対応關係を示す説明図、第12図はフィールドメモリーを用いた処理回路の一例を示す系統図、第13図(a)および(b)は第12図の場合における入力信号がそれぞれ第1および第2フィールドのときのタイムチャート、第14図は異種フィールド信号の内挿位置關係を示す説明図、第15図はラインメモリーを用いた処理回路の一例を示す系統図、第16図(a)および(b)は入力信号が第1フィールドと第2フィールドとおよびタイムチャートである。

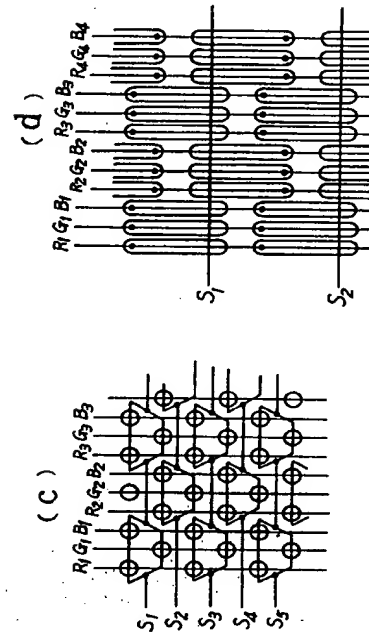
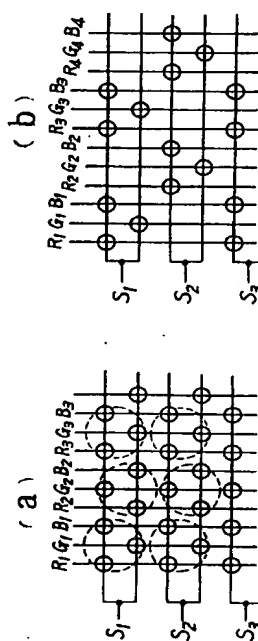
査回路、SW₂ … 第2フィールド走査回路、G_d … 表示電極駆動回路、I_S … 変調信号入力、V … パネル電源、(1) … 入力映像信号、2 … 入力変換回路、3 … 処理回路、4 … 第1ラインメモリー、5 … 第2ラインメモリー、6 … 駆動変換回路、7 … 表示電極駆動回路、8 … 表示パネル、9 … 同期分離回路、P₁ … 走査タイミングパルス、P₂ … データ転送パルス、SW … 走査回路、11 … 異種フィールド信号発生回路、12 … 処理用メモリー、SW_D … データスイッチ、13 … フィールドメモリー、14 … 1/2圖案遅延回路、15 … 1/2H遅延線、17 … 加算回路、18 … 1/4除算回路。

D₁, D₂, D₃ … D_n … 表示電極、S₁, S₂, S₃ … S_n … 走査電極、SW₁ … 第1フィールド走

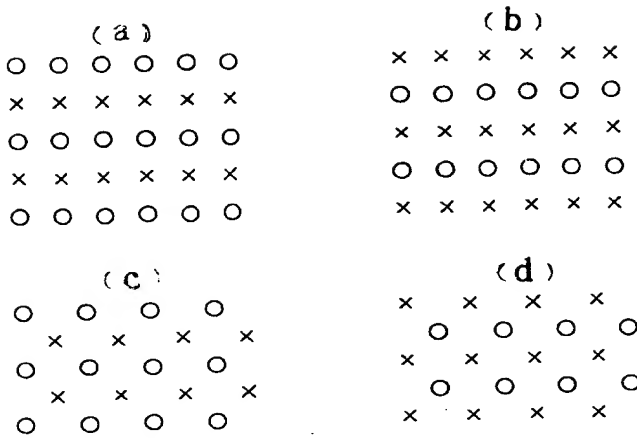
第1図



第2図



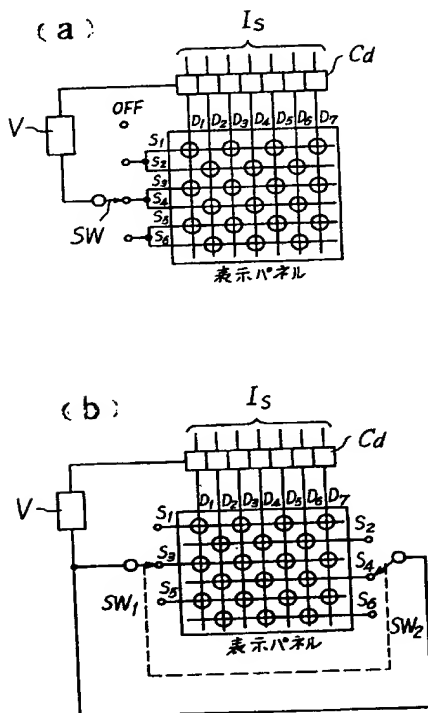
第3図



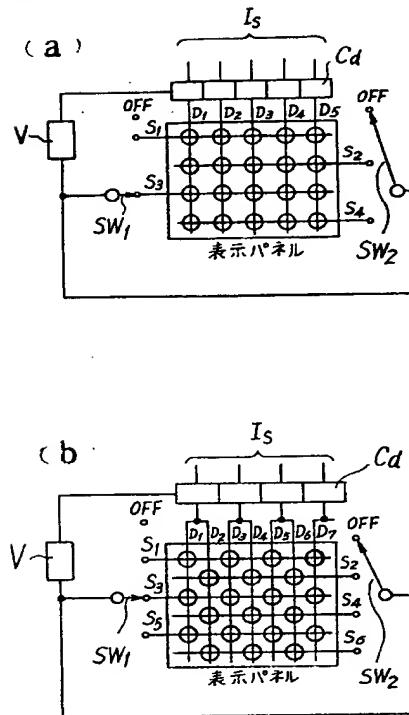
第4図



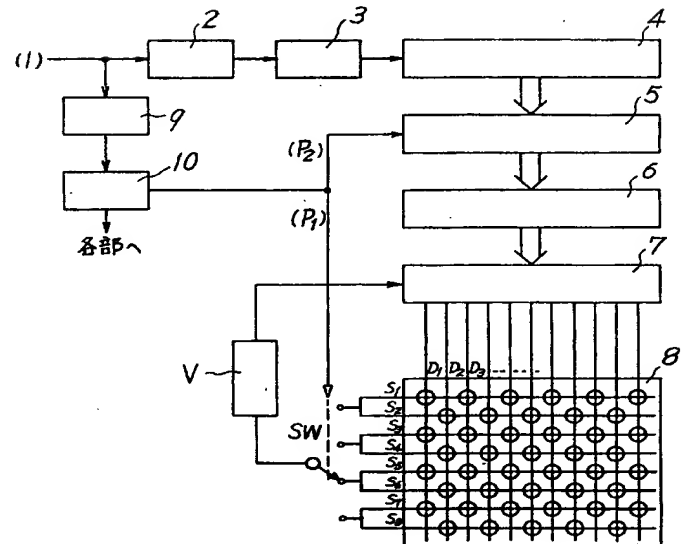
第6図



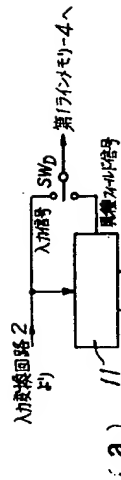
第5図



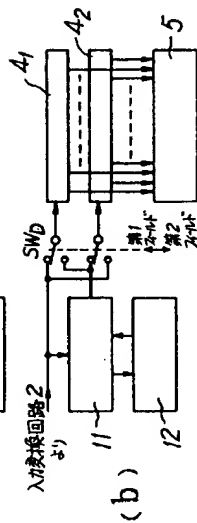
第7図



第8図



(a)

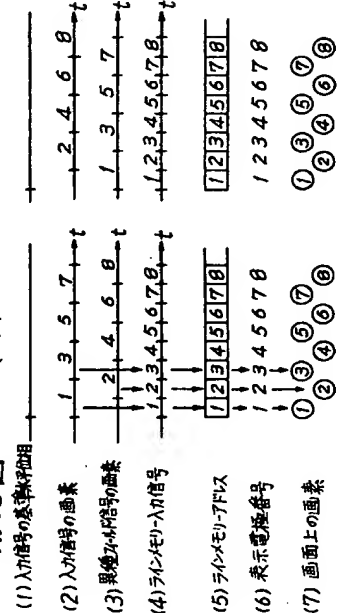


(b)

第9図

入力信号	1	2	3	4	5	6	7	8	...
第1入力	1	2	3	4	5	6	7	8	...
第2入力	0	0	0	0	0	0	0	0	...
第3入力	0	0	0	0	0	0	0	0	...
第4入力	0	0	0	0	0	0	0	0	...
第5入力	0	0	0	0	0	0	0	0	...
第6入力	0	0	0	0	0	0	0	0	...
第7入力	0	0	0	0	0	0	0	0	...
第8入力	0	0	0	0	0	0	0	0	...

第10図



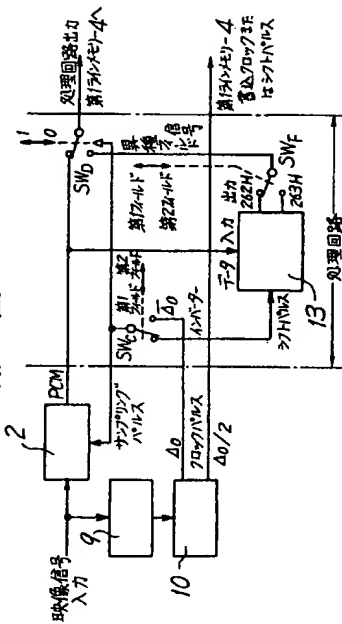
(a)

(b)

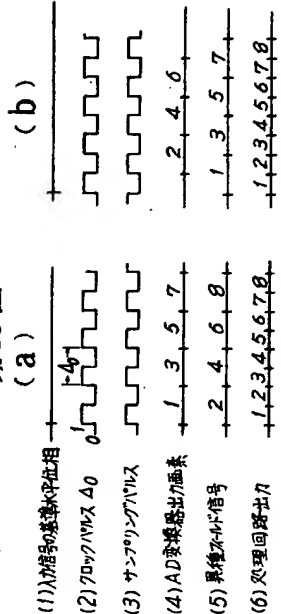
第11図

ライン番号	画面番号	Np
1	1	3
2	2	4
3	3	5
...

第12図



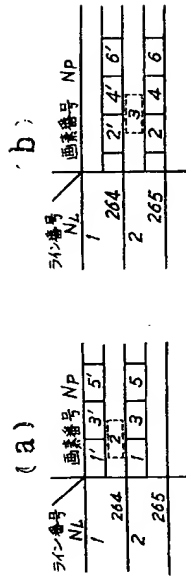
第13図



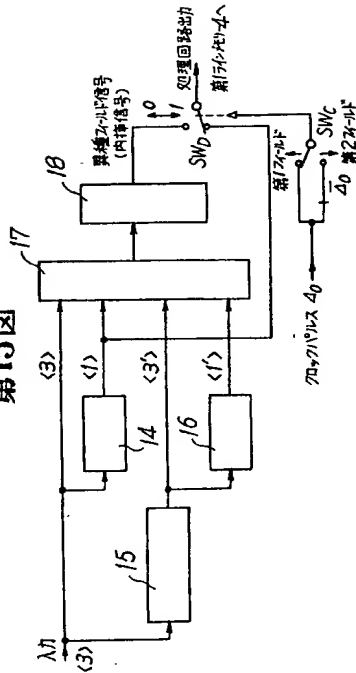
(a)

(b)

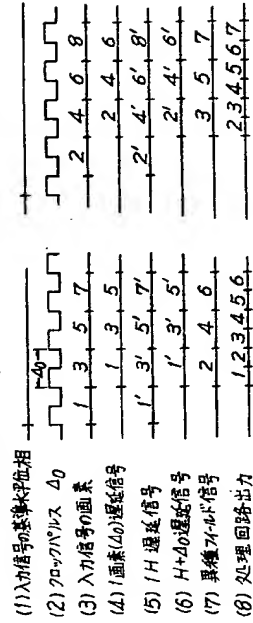
第14図



第15図



第16図 (a)



(b)

5. 添付書類の目録

- (1) 明 細 書 1 通
- (2) 図 面 1 通
- (3) 願 書 副 本 1 通
- (4) 委 任 状 1 通

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

セタガヤタキヌタ
東京都世田谷区砧一丁目10番11号
ニッポン放送株式会社
日本放送協会総合技術研究所内

カメ ガ ヤ タ キ
亀 ケ 谷 武 夫

同 所

スズ キ シ ミ
鈴 木 茂 光

(2) 代 理 人

居 所 東京都千代田区霞が関3丁目2番4号

郵便番号 100

霞山ビルディング7階 電話(581)2241番(代表)

(7205) 氏 名 井 理 士 杉 村 興 作